

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-142570

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 0 0	7348-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数4(全 7 頁)				

(21)出願番号 特願平3-305040

(22)出願日 平成3年(1991)11月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 石黒 謙一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 田仲 広久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 西村 健一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

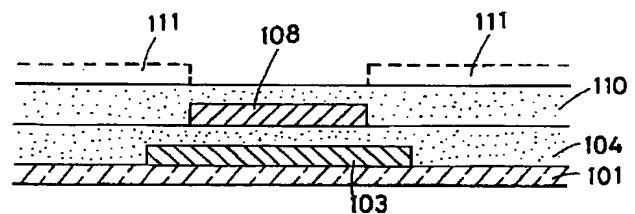
最終頁に続く

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス基板の構造をコントラストを向上できるようにする。

【構成】 画素電極111と信号配線としてのソース配線108とが重ならず、かつ隣合う画素電極111と金属膜103の端部とが重なる構造となっている。このため、画素電極111とソース配線108との間での寄生容量の構成が、画素電極111と金属膜103による容量と、金属膜103とソース配線108による容量との直列構成となり、画素電極111に及ぶ寄生容量を低減させることができる。



【特許請求の範囲】

【請求項1】 基板上に走査配線と信号配線とが交差して形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成され、該信号配線と該画素電極との間に絶縁膜が設けられたアクティブマトリクス基板において、該信号配線がその幅方向端部を該画素電極と重畳させることなく隣合う画素電極の間の部分と対向させて設けられていると共に、該信号配線の画素電極とは反対側に寄生容量用の金属膜が、信号配線の少なくとも一部分と重畳しかつ信号配線との間に別の絶縁膜を介して設けられ、該金属膜が該幅方向における両端部を、該信号配線が対向する該部分の両側にある画素電極の端部と重畳させてあるアクティブマトリクス基板。

【請求項2】 前記金属膜が、前記走査配線を形成するときに該走査配線と同一材料で形成された請求項1記載のアクティブマトリクス基板。

【請求項3】 基板上に走査配線と信号配線とが交差して形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成されたアクティブマトリクス基板において、該走査配線が隣合う画素電極の間の部分と対向させて設けられていると共に、走査配線と画素電極との間に2つの金属膜が走査配線の幅方向に並設され、各金属膜がその全体を走査配線と対向する該部分の両側にある画素電極のそれぞれと対向させると共に、走査配線と対向する隣合う画素電極間部分側にある端部を該画素電極の端部に揃えてあり、かつ端部を揃えた各端部を走査配線の幅方向両端部と重畳させてあるアクティブマトリクス基板。

【請求項4】 前記金属膜が前記信号配線と同じ材料で形成された請求項3記載のアクティブマトリクス基板。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、アクティブマトリクス基板、特にマトリクス型液晶表示装置として用いるアクティブマトリクス基板に関するものである。

【0002】

【従来の技術】 薄型・低消費電力という特徴を有している液晶表示装置は、CRTに変わる表示装置として注目を集めている。中でも、薄膜トランジスタ（以下TFTと略す）アレイを用いたアクティブマトリクス駆動方式の液晶表示装置は、液晶の応答速度が速く、表示品位が高いなどの利点をもっている。特に、アモルファスシリコン（a-Siと略す）を用いたTFTは低温成膜が可能であるため、表示装置の大画面化、高精細化、低価格化が可能であるとみられ、近年その技術開発が盛んである。

【0003】 このような液晶表示装置は、アクティブマトリクス基板と対向基板とを対向配設し、両基板間に液晶を封入して構成される。従来のアクティブマトリクス

基板の例を図8に、図8のC-C'断面図を図9に示す。

【0004】 図8のアクティブマトリクス基板は以下のように作成される。透明絶縁性基板401上に金属薄膜を形成し、この金属薄膜の表面をホトレジスト膜からなるマスクで覆ってエッチングを行い、走査配線としてのゲート配線とゲート電極402を形成する。次に、絶縁膜403となるSiNx膜を全面にわたって連続的に被着させ、その後、半導体層となるa-Si層404と、絶縁膜405となるSiNx膜とを全面にわたって連続的に被着した後、ホトエッチングにより上記絶縁膜405を図示のようにパターン化する。次に、Pをドープしたa-Si膜406を全面にわたって被着した後、ホトエッチングにより上記絶縁膜405の両側部以外を除去し、さらに金属薄膜を被着した後、ホトエッチングを行うことにより、図示のようなパターンをした信号配線としてのソース配線とソース電極407、およびドレイン電極408を形成する。これにより、前記TFTが形成される。次に、絶縁膜を上記構造の上に全面に被着し絶縁膜409とし、コンタクト・ホール410を上記絶縁膜409にホトエッチングにより形成する。最後に、コンタクト・ホール410に充填すると共にゲート配線402に一部重なる状態で、絶縁膜409上に透明導電性膜を被着した後、ホトエッチングを行うことにより画素電極411を形成する。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の構造では、図10（図8のD-D'断面図）に示すように画素電極411とソース配線407とが一部重畳しているため、画素電極411とソース配線407との間に寄生容量が発生し、TFTがOFF状態の時も画素電極411の電位がソース配線407に加えられた信号の影響を受けるので、表示のコントラストが低下してしまうという問題があった。

【0006】 また、従来の構造では、ゲート配線402ごとに画素電極411に書き込む信号の極性を反転させる1H反転駆動をした場合、図8に示すように、隣合う画素電極411の端部が同一のゲート配線402と対向し、その対向部で容量が生じて、上記隣接する画素電極411間に相互作用が生じ、電界の乱れが生じる。その結果、液晶分子に乱れが生じ、例えばノーマリ・ホワイトのモード時には黒を表示する際に光漏れが生じ、この場合にもコントラストが低下するという問題があった。

【0007】 本発明は、かかる従来技術の課題を解決すべくなされたものであり、コントラストを向上できるアクティブマトリクス基板を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明のアクティブマトリクス基板は、基板上に走査配線と信号配線とが交差して形成されていると共に、両配線で囲まれた領域にスイ

ッチング素子と画素電極とがマトリクス状に形成され、該信号配線と該画素電極との間に絶縁膜が設けられたアクティブマトリクス基板において、該信号配線がその幅方向端部を該画素電極と重畳させることなく隣合う画素電極の間の部分と対向させて設けられていると共に、該信号配線の画素電極とは反対側に寄生容量用の金属膜が、信号配線の少なくとも一部分と重畳しかつ信号配線との間に別の絶縁膜を介して設けられ、該金属膜が該幅方向における両端部を、該信号配線が対向する該部分の両側にある画素電極の端部と重畳させてあるので、そのことにより上記目的を達成することができる。

【0009】また、本発明のアクティブマトリクス基板は、基板上に走査配線と信号配線とが交差して形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成されたアクティブマトリクス基板において、該走査配線が隣合う画素電極の間の部分と対向させて設けられていると共に、走査配線と画素電極との間に2つの金属膜が走査配線の幅方向に並設され、各金属膜がその全体を走査配線と対向する該部分の両側にある画素電極のそれぞれと対向させると共に、走査配線と対向する隣合う画素電極間部分側にある端を該画素電極の端に揃えてあり、かつ端を揃えた各端部を走査配線の幅方向両端部と重畳させてあるので、そのことにより上記目的を達成することができる。

【0010】

【作用】請求項1にあつては、画素電極と信号配線とが重ならず、かつ隣合う画素電極と金属膜の端部とが重なる構造となっている。このため、画素電極と信号配線との間での寄生容量の構成が、画素電極と金属膜による容量と、金属膜と信号配線による容量との直列構成となり、画素電極に及ぶ寄生容量を低減させることができる。

【0011】請求項3にあつては、画素電極と端を揃えて金属膜が設けられているので、この金属膜が、光漏れを生じる部分を隠すことになり、よって光漏れの発生を防止できる。

【0012】

【実施例】以下、本発明を実施例により詳細に説明する。

【0013】図1は本実施例のアクティブマトリクス基板を示す部分平面図であり、図2はその基板のTFT部分を示す断面図である。このアクティブマトリクス基板は、絶縁基板としてのガラス基板101上に、走査配線としてのゲート配線102が横方向に複数平行に形成され、このゲート配線102と交差して、信号配線としてのソース配線108が複数平行に形成されている。

【0014】ゲート配線102とソース配線106とで囲まれた各領域には、TFT112と画素電極111とが設けられている。TFT112は、従来同様に構成されている。具体的には、ガラス基板101上の或る範囲

に走査配線としてのゲート配線102と一体的なゲート電極102aが形成され、このゲート電極102aを覆って基板101上に絶縁膜104が形成されている。絶縁膜104の上には、前記ゲート電極102aの上方部分に半導体層105が或る範囲で形成され、この半導体層105の上にはその中央部に沿って絶縁膜106が形成されていると共に、絶縁膜106の上で2つに分断されて半導体層107a、107bが形成されている。

【0015】一方の半導体層107aの上から、他方の半導体層107bとは反対側の絶縁膜104上にわたり信号配線としてのソース配線108が形成され、他方の半導体層107bの上から、一方の半導体層107aとは反対側の絶縁膜104上にわたりドレイン電極109が形成されている。これにより、前記TFTが形成される。

【0016】前記画素電極111は、上述のように構成されたTFT112の上に間に絶縁膜110を介して形成されている。具体的には、ドレイン電極109の上方の絶縁膜110部分にコンタクト・ホール110aが形成され、そのコンタクト・ホール110aに充填すると共にゲート配線102と一部重なる状態で、絶縁膜110上に形成されている。

【0017】また、画素電極111は、図3（図1のA-A'断面図）に示すようにソース配線108の上に間に絶縁膜110を介して設けられ、ソース配線108の下には間に絶縁膜104を介して寄生容量用の金属膜103が形成されている。

【0018】上記構成のアクティブマトリクス基板の製造は、図4に示すようにして行われる。まず、(a)に示すように、ガラス基板101上に3000オングストローム厚のTa膜を形成し、これをパターニングしてゲート配線102とゲート電極102aと金属膜103を形成する。なお、金属膜103は、ゲート配線102及びゲート電極102aとは別の時に形成してもよいが、実施例のように同時に形成した場合には工程の省略を図れる。

【0019】次に、(b)に示すように、例えばスパッタリングやプラズマCVD法を用いて、絶縁膜104となる3000オングストローム厚のSiNx膜を全面にわたって被着させ、その後、半導体層105となる300オングストローム厚のa-Si層、絶縁膜106となる2000オングストローム厚のSiNx膜を全面にわたって連続的に被着した後、ホットエッチングにより上記絶縁膜106を図示のようなパターンに形成する。なお、上記絶縁膜104を被着させる前に、ゲート配線102を陽極酸化して絶縁膜104を形成してもよいし、あるいは絶縁膜104にSiNx以外の絶縁膜を使用してもよい。

【0020】次に、(c)に示すように、例えばプラズマCVD法によりPをドーブしたa-Si膜を500オ

ングストローム厚で全面にわたって被着した後、ホトエッチングにより上記絶縁膜106の両側部以外を除去して半導体層107a、107bを形成し、さらにスパッタリングによってMo層を3000オングストローム厚で被着した後、ホトエッチングにより上記Mo層を図示のようなパターンのソース配線108（図1参照）、ソース電極108a及びドレイン電極109を形成する。なお、Pをドーブしたa-Si膜は、イオン・ドーピング法により形成してもよい。また、上記ソース配線108、ソース電極108a及びドレイン電極109はTi、Al等の金属を使用してもよい。

【0021】次に、上記構造の上の全面に、1μm厚の有機保護膜を被着して絶縁膜110とし、コンタクト・ホール110aを上記絶縁膜110にホトエッチングにより形成し、最後にコンタクト・ホール110aに充填すると共に、金属膜103及びゲート配線102に一部重なる状態で、絶縁膜110上に1000オングストロームのITOをスパッタリングによって被着した後、ホトエッチングすることにより画素電極111を形成する。

【0022】上記有機保護膜としては、日本合成ゴム製JSS-7215アクリル樹脂や、日立化成PIX-8803等のポリイミド膜、東レS414等の感光性ポリイミド膜等を用いることができる。また、絶縁膜110は有機膜以外にSiNx、SiO₂等無機膜を使用してもよい。

【0023】このようにして製造した本実施例のアクティブマトリクス基板においては、図3に示すように画素電極111がソース配線108の上に間に絶縁膜110を介して設けられ、ソース配線108の下には間に絶縁膜104を介して寄生容量用の金属膜103が形成されている。また、ソース配線108がその幅方向端部を画素電極111と重畳させることなく、隣合う画素電極111の間の部分と対向させて設けられていると共に金属膜103がソース配線108の一部分と重畳して設けられており、金属膜103が前記幅方向における両端部を、ソース配線108が対向する該部分の両側にある画素電極111の端部と重畳させてある。

【0024】このため、画素電極111とソース配線108との間での寄生容量の構成が、画素電極111と金属膜103による容量と、金属膜103とソース配線108による容量との直列構成となる。よって、画素電極111に及ぶ寄生容量を低減させることが可能となり、コントラストの向上を図れる。また、画素電極111とソース配線108が直接重ならないので、絶縁膜の欠陥により生じるリークを減少させることもできる。なお、金属膜103は、ソース半導体108の全長にわたり形成してもよい。

【0025】図5は本発明の他の実施例を示す部分平面図であり、図6は図5のB-B'断面図を示す。このア

クティブマトリクス基板は、金属膜に関すること以外を前実施例と同様にして構成されている。この実施例は、ゲート配線102が隣合う画素電極111の間の部分と対向させて設けられ、ゲート配線102と画素電極111との間に2つの金属膜103a、103bがゲート配線102の幅方向に並設されている。

【0026】この構成のアクティブマトリクス基板の製造は、図7に示すようにして行われる。まず、(a)に示すように、ガラス基板101上に3000オングストローム厚のTa膜を形成し、これをパターニングしてゲート配線102とゲート電極102aを形成する。

【0027】次に、(b)に示すように、例えばスパッタリングやプラズマCVD法を用いて、絶縁膜104となる3000オングストローム厚のSiNx膜を全面にわたって被着させ、その後、半導体層105となる3000オングストローム厚のa-Si層、絶縁膜106となる2000オングストローム厚のSiNx膜を全面にわたって連続的に被着した後、ホトエッチングにより上記絶縁膜106を図示のようなパターンに形成する。なお、上記絶縁膜104を被着させる前に、ゲート配線102を陽極酸化して絶縁膜104を形成してもよいし、あるいは絶縁膜104にSiNx以外の絶縁膜を使用してもよい。

【0028】次に、(c)に示すように、例えばプラズマCVD法によりPをドーブしたa-Si膜を500オングストローム厚で全面にわたって被着した後、ホトエッチングにより上記絶縁膜106の両側部以外を除去して半導体層107a、107bを形成し、さらにスパッタリングによってMo層を3000オングストローム厚で被着した後、ホトエッチングにより上記Mo層を図示のようなパターンのソース配線108（図1参照）、ソース電極108a及び2つの金属膜103a、103bを形成する。一方の金属膜103aは前実施例のドレイン電極109を兼用する。なお、この金属膜103aは、別体に設けたドレイン電極とつながるようにしてもよい。また、Pをドーブしたa-Si膜は、イオン・ドーピング法により形成してもよい。更に、上記ソース配線108、ソース電極108a及びドレイン電極109はTi、Al等の金属を使用してもよい。更に、2つの金属膜103a、103bは、ソース配線108とは別工程で形成してもよいが、同時に形成した場合には工程の省略を図れる。

【0029】次に、上記構造の上の全面に、1μm厚の有機保護膜を被着して絶縁膜110とし、コンタクト・ホール110aを上記絶縁膜110にホトエッチングにより形成し、最後にコンタクト・ホール110aに充填すると共に、2つの金属膜103a、103b及びソース配線108に一部重なる状態で、絶縁膜110上に1000オングストロームのITOをスパッタリングによって被着した後、ホトエッチングすることにより画素電

極１１１を形成する。上記有機保護膜としては、前実施例と同様の材料を使用できる。

【００３０】このようにして製造された本実施例のアクティブマトリクス基板においては、図６に示すように、ゲート配線１０２が隣合う画素電極１１１の間の部分と対向させて設けられ、ゲート配線１０２と画素電極１１１との間に２つの金属膜１０３ａ、１０３ｂがゲート配線１０２の幅方向に並設されている。また、各金属膜１０３ａ、１０３ｂは、その全体をゲート配線１０２と対向する該部分の両側にある画素電極１１１のそれぞれと対向させると共に、ゲート配線１０２と対向する隣合う画素電極１１１の間の部分側にある端を、画素電極１１１の端に揃えてあり、かつ端を揃えた各端部をゲート配線１０２の幅方向両端部と重畳させてある。

【００３１】したがって、本実施例においては、画素電極１１１と端を揃えて金属膜１０３ａ、１０３ｂが設けられているので、この金属膜１０３ａ、１０３ｂが、光漏れを生じる部分を隠すことになり、つまり遮光膜として機能することになり、よって光漏れの発生を防止でき、コントラストを向上させることが可能となる。

【００３２】上記実施例では、 $a-Si$ からなる半導体層１０５と、 Mo からなるソース配線１０８、ドレイン電極１０９（又は金属膜１０３ａ）との間に、 P をドーブした $a-Si$ からなる半導体層１０７ａ、１０７ｂを設けているので、これらの間のオーミックコンタクトがとれるという利点がある。

【００３３】なお、本発明は上述した構成のアクティブマトリクス基板に限られず、他の構成のものにも適用できることはいうまでもない。

【００３４】

【発明の効果】以上の説明で明かなように、本発明のアクティブマトリクス基板は、寄生容量を低減することができるので、コントラストを向上させて表示品位を高めることが可能となる。また、画素電極とソース配線が直接重ならない構造とすることができるので、絶縁膜の欠陥によるリークが減少させることもできる。更に、金属

膜を走査配線と平行に形成し、絶縁膜を介して画素電極と重なる構成とすることにより、従来構造よりも開口率を高くできる。加えて、工程の複雑化が生じないので、液晶表示装置の工程数が増加することによる歩留まり低下を防ぐことができる。

【図面の簡単な説明】

【図１】本発明のアクティブマトリクス基板の実施例を示す部分平面図である。

【図２】そのアクティブマトリクス基板のＴＦＴ部分を示す断面図である。

【図３】図１のＡ－Ａ'線断面図である。

【図４】(a)～(d)は上記実施例の製造方法を示す部分平面図である。

【図５】本発明の他の実施例を示す部分平面図である。

【図６】図５のＢ－Ｂ'線による断面図である。

【図７】(a)～(d)は上記他の実施例の製造方法を示す部分平面図である。

【図８】従来構造のアクティブマトリクス基板の部分平面図である。

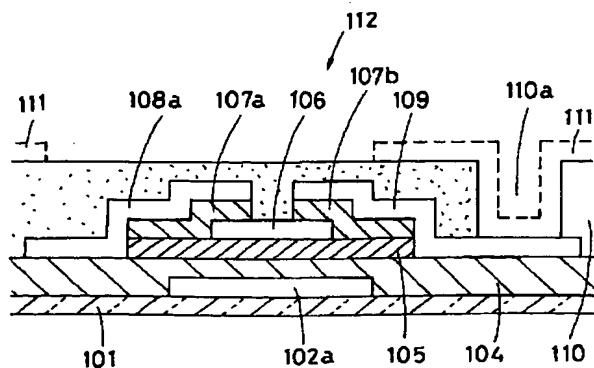
【図９】図８のＣ－Ｃ'線断面図である。

【図１０】図８のＤ－Ｄ'線断面図である。

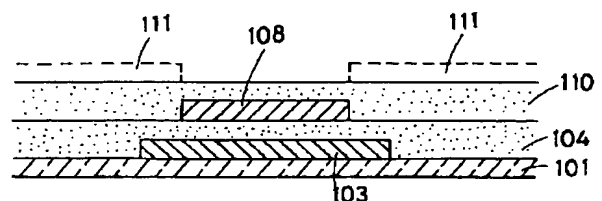
【符号の説明】

１０１	ガラス基板
１０２	ゲート配線
１０２ ａ	ゲート電極
１０３	金属膜
１０３ ａ	金属膜
１０３ ｂ	金属膜
１０４	絶縁膜
１０６	絶縁膜
１０８	ソース配線
１０９	ドレイン電極
１１０	絶縁膜
１１０ ａ	コンタクト・ホール
１１１	画素電極

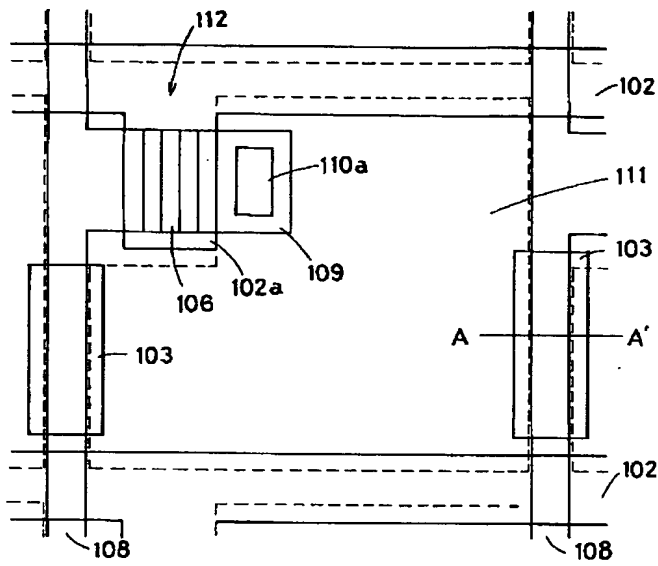
【図２】



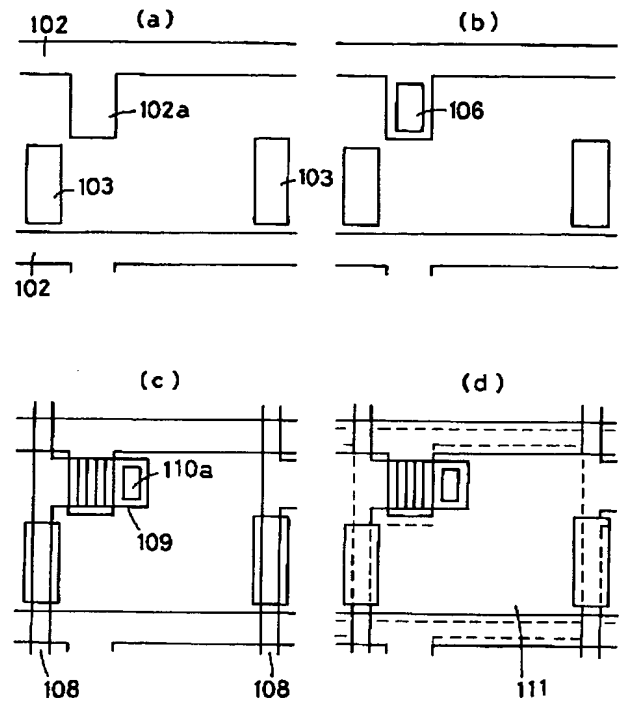
【図３】



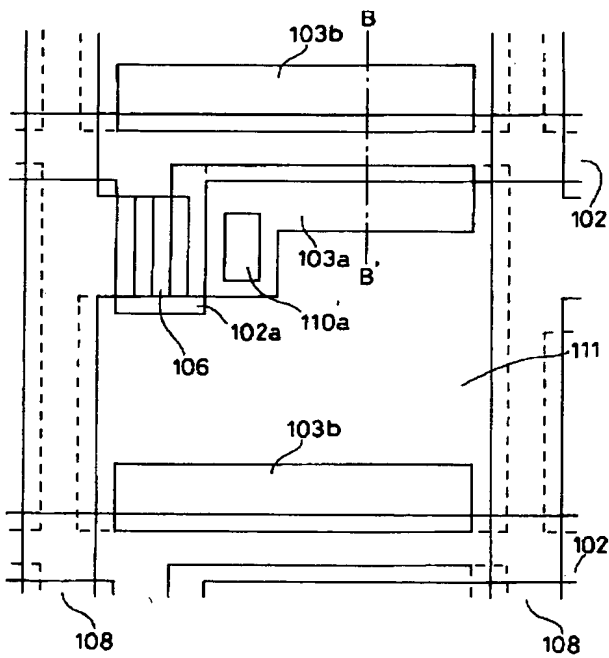
【図1】



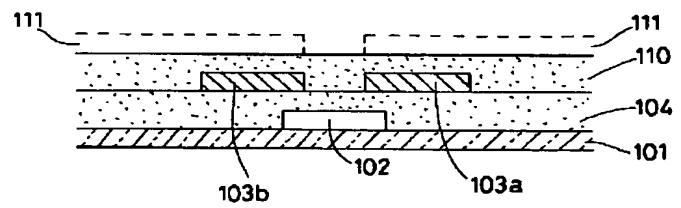
【図4】



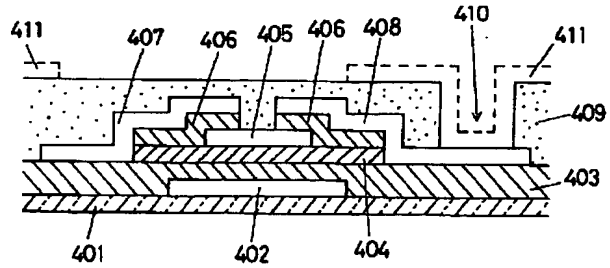
【図5】



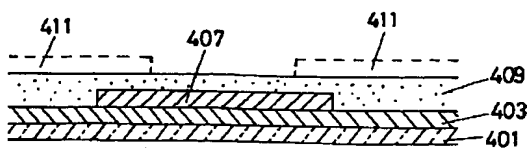
【図6】



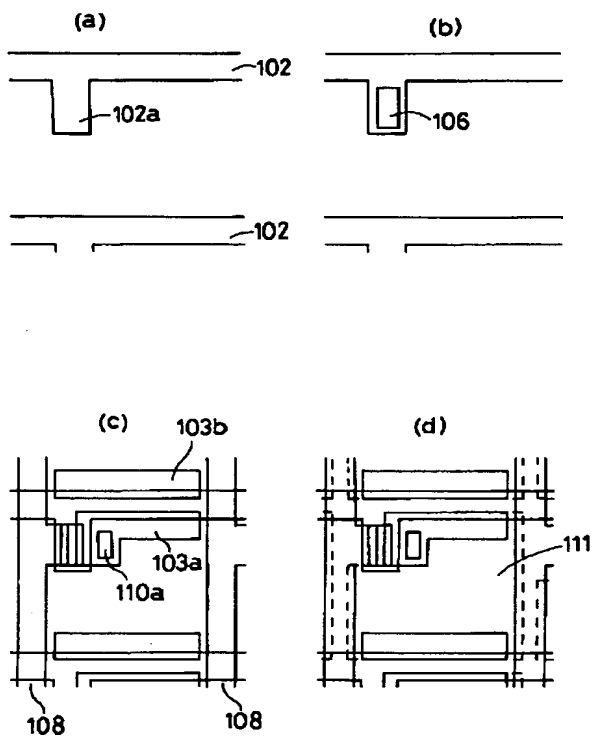
【図9】



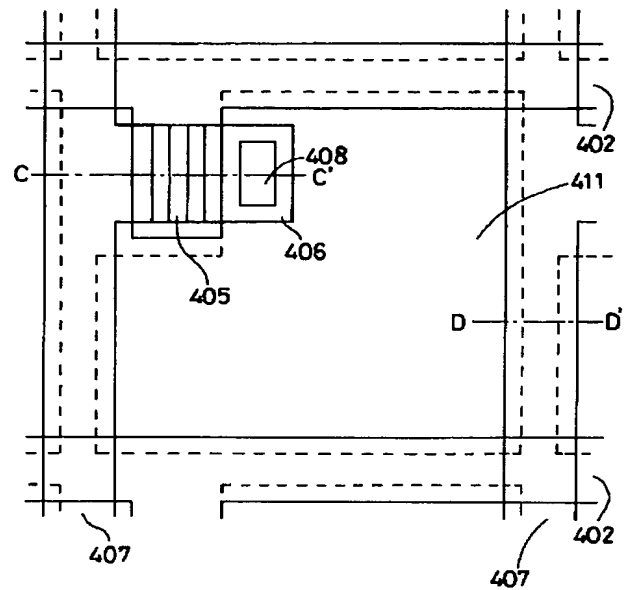
【図10】



【図7】



【図8】



フロントページの続き

(72)発明者 森本 弘
 大阪府大阪市阿倍野区长池町22番22号 シ
 ヤープ株式会社内

Japanese Patent Application Laid-Open No. Hei 5-142570

(43) Laid-Open Date: June 11, 1993

(21) Application No. Hei 3-305040

(22) Filing Date: November 20, 1991

(71) Applicant: Sharp Corp.

(72) Inventors: Ken-ichi Ishiguro

Hirohisa Tanaka

Ken-ichi Nishimura

10 (54) Title of the Invention: Active Matrix Substrate

(57) [Abstract]

[Object]

15 It is an object of the present invention to provide a construction of an active matrix substrate for enhancing display contrast ratio.

[Constitution]

20 The pixel electrodes 111 are not superposed on the source lines 108 serving as the signal lines, the two adjacent pixel electrodes 111 are superposed on the ends of the metal film 103. With this structure, the construction of a parasitic capacitance formed between the pixel electrode 111 and the source line 108 is a series combination of a capacitance between the pixel electrode 111 and the metal film 103 and a capacitance between the metal film 103 and the source line 108, and consequently a parasitic capacitance associated with the pixel electrode 111 can be reduced.

25

[The Scope of the Invention]

[Claim 1]

An active matrix substrate having scanning lines thereon, signal lines intersecting said scanning lines, switching elements and pixel electrodes

5 each formed in an area enclosed by two adjacent ones of said scanning lines and two adjacent ones of said signal lines and arranged in a matrix, and an insulating film disposed between said signal lines and said pixel electrodes, wherein said signal lines are disposed to oppose a spacing between two adjacent ones of said pixel electrodes, ends of said signal lines in a direction
10 of a width thereof are not superposed on said pixel electrodes, and

metal films are disposed for forming parasitic capacitance in a layer on a side of said signal lines opposite from said pixel electrodes such that said metal films are superposed on at least a portion of said signal lines with another insulating film interposed therebetween and such that ends of said
15 metal films in a direction of a width thereof are superposed on edges of said pixel electrodes disposed on opposite sides of said spacing.

[Claim 2]

An active matrix substrate according to claim 1, wherein said metal films are formed simultaneously with formation of said scanning lines from a material same with said scanning lines.

[Claim 3]

An active matrix substrate having scanning lines thereon, signal lines intersecting said scanning lines, switching elements and pixel electrodes each formed in an area enclosed by two adjacent ones of said scanning lines
25 and two adjacent ones of said signal lines and arranged in a matrix,

wherein said scanning lines are disposed to oppose a spacing between two adjacent ones of said pixel electrodes, two metal films are juxtaposed in a direction of a width of said scanning lines between said scanning lines and said pixel electrodes, entire areas of said two metal films oppose said pixel electrodes on opposite sides of said spacing, respectively, and ends of said two metal films facing said two adjacent pixel electrodes disposed on opposite sides of said spacing are coincident with ends of said pixel electrodes and are superposed on ends of said scanning lines in a direction of a width thereof, respectively.

[Claim 4]

An active matrix substrate according to claim 3, wherein said metal films are formed from a material same with said signal lines.

15 [Detailed Description of the Invention]

[0001]

[Fields of Industrial Application]

The present invention relates to an active matrix substrate, and in particular to an active matrix substrate for use in a matrix type liquid crystal display device.

20 [0002]

[Prior Art]

The liquid crystal display devices featuring thinness and low power consumption attract attention as candidates replacing cathode ray tubes.

25 Especially, liquid crystal display devices of the active matrix drive type

using thin film transistor (hereinafter referred to as TFT) array have advantages of high speed response and high quality display. In particular, TFTs using amorphous Si (hereinafter referred to as a-Si) enable low temperature fabrication of constituent films and consequently are expected to enable the large-size display screen, the definition image display and low cost, and their technological development has been active recently.

5 [0003] The liquid crystal display device of this type comprises an active matrix substrate, a counter substrate opposing the active matrix substrate and a liquid crystal layer sandwiched therebetween. A fragmentary plan view of an example of a prior art active matrix substrate is shown in FIG. 8, and a cross-sectional view taken along line C-C' of FIG. 8 is shown FIG. 9.

[0004] The active matrix substrate shown in FIG. 8 is fabricated as follows.

A metal thin film is formed on a transparent insulating substrate 401, the metal thin film is etched after being covered with a mask made of a photoresist film to form gate lines serving as scanning lines and gate electrodes 402. Next SiN_x acting as an insulating film 403 is coated continuously over the entire insulating substrate, subsequently a-Si layer 404 serving as a semiconductor layer and SiN_x acting as an insulating film 405 are coated continuously over the entire substrate and the insulating film 405 is patterned by photo-etching as shown in FIGS. 8 and 9. Next, a phosphorus-doped a-Si film 406 is coated over the entire substrate, and is removed by photo-etching, leaving the areas on both the sides of the insulating 405, and then a metal thin film is coated and is etched to form a source line serving as a signal line and a source electrode 407 and a drain electrode 408 having patterns shown in FIG. 8. In this way the TFT is

formed.

Next, an insulating film is coated over the entire surface of the above structure to form an insulating film 409 and a contact hole 410 is formed in the insulating film 409 by photo-etching. Finally, a transparent conductive film is coated over the insulating film 409 to fill the contact hole 410 and to overlie a portion of the gate line 402 and is photo-etched to form a pixel 411.

[0005]

[Problems to be Solved by the Invention]

In the prior art structure, as shown in FIG. 10 which is a cross-sectional view of FIG. 8 taken along line D-D', the pixel electrode 411 overlies portions of the source line 407 and form a parasitic capacitance between the pixel electrode 411 and the source line 407, and consequently the potential of the pixel electrode 411 is influenced by a signal applied to the source line 407 even when the TFT associated with the pixel electrode 411 is in an OFF state, and consequently there has been a problem that a display contrast is degraded.

[0006] In the prior art structure, in the operation of the 1H (one horizontal scanning period) polarity reversal period where the polarity of signals applied to the pixel electrodes 411 is reversed on successive gate lines 402, ends of the two adjacent pixel electrodes 411 oppose the same gate line 402 as shown in FIG. 8, and a capacitance is produced between the opposing ends of the pixel electrodes 411 and the two adjacent pixel electrodes 411 interfere with each other and the electric fields are disturbed. As a result, the liquid crystal molecules become out of order and there has been a problem that leakage of light occurs in displaying a black image in a normally white mode

operation, for example, resulting in deterioration of display contrast ratio.

[0007] The present invention aims at solving the above problems with the prior art and it is an object of the present invention to provide a active matrix substrate capable of improving a display contrast ratio.

5 [0008]

[Means for Solving the Problems]

Since an active matrix substrate of the present invention has scanning lines thereon, signal lines intersecting said scanning lines, switching elements and pixel electrodes each formed in an area enclosed by two adjacent ones of said scanning lines and two adjacent ones of said signal lines and arranged in a matrix, and an insulating film disposed between said signal lines and said pixel electrodes, wherein said signal lines are disposed to oppose a spacing between two adjacent ones of said pixel electrodes, ends of said signal lines in a direction of a width thereof are not superposed on said pixel electrodes, and metal films are disposed for forming parasitic capacitance in a layer on a side of said signal lines opposite from said pixel electrodes such that said metal films are superposed on at least a portion of said signal lines with another insulating film interposed therebetween and such that ends of said metal films in a direction of a width thereof are superposed on edges of said pixel electrodes disposed on opposite sides of said spacing, the above-mentioned object is achieved.

[0009] Since an active matrix substrate of the present invention has scanning lines thereon, signal lines intersecting said scanning lines, switching elements and pixel electrodes each formed in an area enclosed by two adjacent ones of said scanning lines and two adjacent ones of said signal

lines and arranged in a matrix, wherein said scanning lines are disposed to oppose a spacing between two adjacent ones of said pixel electrodes, two metal films are juxtaposed in a direction of a width of said scanning lines between said scanning lines and said pixel electrodes, entire areas of said two metal films oppose said pixel electrodes on opposite sides of said spacing, respectively, and ends of said two metal films facing said two adjacent pixel electrodes disposed on opposite sides of said spacing are coincident with ends of said pixel electrodes and are superposed on ends of said scanning lines in a direction of a width thereof, respectively, the above-mentioned object is achieved.

[0010]

[Function]

In the invention of claim 1, the pixel electrodes are not superposed on the signal lines, and the ends of the two adjacent pixel electrodes are superposed on the ends of the metal films. With this structure, the construction of a parasitic capacitance formed between the pixel electrode and the signal line is a series combination of a capacitance between the pixel electrode and the metal film and a capacitance between the metal film and the signal line, and consequently a parasitic capacitance associated with the pixel electrode can be reduced.

[0011] In the invention of claim 3, the metal films are disposed such that the ends of the metal films are coincident with the ends of the pixel electrodes and consequently the metal films cover the portions causing leakage of light and can prevent occurrence of leakage of light.

[0012]

[Embodiments]

The present invention will be explained in detail hereunder by way of embodiments.

[0013] FIG. 1 is a fragmentary plan view of an active matrix substrate of this embodiment, and FIG. 2 is a cross-sectional view of a TFT portion of the active matrix substrate. The active matrix substrate is such that a plurality of gate lines 102 acting as scanning lines are arranged horizontally in parallel with each other on a glass substrate serving as an insulating substrate and a plurality of source lines 108 acting as signal lines are arranged in parallel with each other to intersect the gate lines 102.

[0014] A TFT 112 and a pixel electrode 111 are disposed in each area enclosed by the two adjacent gate lines 102 and the two adjacent source lines 106. The structure of the TFT 112 is conventional. To put it concretely, a gate electrode 102a is formed integrally with the gate line 102 acting as a scanning line in a region on the glass substrate 101 and an insulating film 104 is coated on the substrate 101 to cover the gate electrode 102a. A semiconductor layer 105 is formed on a portion of the insulating film 104 over the gate electrode 102a, an insulating film 106 is disposed vertically and centrally on the semiconductor layer 105, and two semiconductor layers 107a and 107b are disposed on the insulating film 106 and are separated from each other.

[0015] The source line 108 serving as a signal line is formed to extend from the top of one of the semiconductor layers, 107a, toward the side opposite from the other of the semiconductor layers, 107b, on the insulating film 104. The drain electrode line 109 is formed to extend from the top of the other of

the semiconductor layers, 107b, toward the side opposite from the one of the semiconductor layers, 107a, on the insulating film 104. In this way the TFT is constructed.

[0016] The pixel electrode 111 is formed above the TFT 112 with the insulating film 110 interposed therebetween. To put it concretely, a contact hole 110a is formed in the insulating film 110 over the drain electrode 109, and the pixel electrode 111 is formed to fill the contact hole 110a and to overlie a portion of the gate line 102 on the insulating film 110.

[0017] The pixel electrode 111 is formed above the source line 108 with the insulating film 110 interposed therebetween as shown in FIG. 3 which is a cross-sectional view taken along line A-A' of FIG. 1, and a metal film 103 is formed to form a parasitic capacitance below the source line 108 with the insulating film 104 interposed therebetween.

[0018] Fabrication of the active matrix substrate of the above structure is shown in FIG. 4. Initially, as shown in FIG. 4(a), a film made of tantalum and of 3,000 angstrom in thickness is formed on the glass substrate 101, and is patterned to form the gate lines 102, the gate electrodes 102a and the metal films 103. Incidentally, the metal film 103 may be formed separately from the gate lines 102, the gate electrodes 102a, the above embodiment avoids the increase of the process steps.

[0019] Next, as shown in FIG. 4 (b), by a sputtering method or a plasma CVD method, for example, a film made of SiN_x and of 3000 angstrom in thickness, which acts as an insulating film 104, is coated over the entire surface of the substrate, then a-Si layer of 30 angstrom in thickness, which acts a semiconductor layer 105, and a SiN_x film of 2000 angstrom in

thickness, which acts as an insulating film 106, are continuously coated and then the patterned insulating film 106 is obtained by photo-etching.

Incidentally, the insulating film 104 may be formed by anodic oxidation of the gate line 102 before coating of the insulating film 104, or may be made of material other than SiN_x .

[0020] Next, as shown in FIG. 4(c), by a plasma CVD method, for example, a phosphorus-doped a-Si film of 500 angstrom in thickness is coated over the entire substrate, and then the a-Si film is removed by photo-etching from all areas except the areas on both the sides of the insulating film 106 to form the semiconductor layers 107a and 107b, and next a molybdenum layer of 3000 angstrom in thickness is formed by sputtering and then is patterned by photo-etching to form the source lines 108 (see FIG. 1), the source electrode 108a and the drain electrode 109 as shown in FIG. 4(c).

Incidentally, the phosphorus-doped a-Si film may be formed by an ion doping method, and the source lines 108, the source electrodes 108a and the drain electrodes 109 may be made of metals such as Ti or Al.

[0021] Next, an organic protective film of 1 μm is coated over the entire surface of the above structure to provide an insulating film 108 (sic), and then a contact 110a is formed in the insulating film 110 by photo-etching, and finally ITO of 1000 angstrom in thickness is coated on the insulating film 110 by sputtering such that it fills the contact hole 110a and overlies portions of the metal films 103 and the gate lines 102, and the ITO is photo-etched to form the pixel electrode 111.

[0022] The organic protective film may be made of JSS-721 acrylic resin of Nippon Gosei Gomu, polyimide film such as PIX-88803 of Hitachi Chemical

Co. Ltd., or photosensitive polyimide film such as S414 of Toray, and the insulating film 110 may be made of inorganic material such as SiN_x, or SiO₂.

[0023] In the thus fabricated active matrix substrate of this embodiment, as shown in FIG. 3, the pixel electrodes 111 are disposed above the source line 108 with the insulating film 110 interposed therebetween, and the metal film 103 for forming a parasitic capacitance is disposed below the source line 108 with the insulating film 104 interposed therebetween. The source line 108 is disposed such that the source line 108 faces a spacing between the two adjacent pixel electrodes 111 and the ends of the source line 108 in the direction of its width are not superposed on the pixel electrodes 111, and the metal film 103 is superposed on a portion of the source line 108 such that its ends on the above-mentioned width direction are superposed on the ends of the two adjacent pixel electrodes 111 on the opposite sides of the above-mentioned spacing.

[0024] With this structure, a parasitic capacitance formed between the pixel electrode 111 and the source line 108 comprises the series combination of a capacitance formed between the pixel electrode 111 and the metal film 103 and a capacitance formed between the metal film 103 and the source line 108, and consequently the parasitic capacitance associated with the pixel electrode 111 can be reduced and display contrast is improved. Also, since the pixel electrode 111 and the source line 108 do not superpose each other directly, leakage of currents due to defects in the insulating film can be reduced. Incidentally, the metal film 103 may be disposed along the entire length of the source semiconductor (sic) 108.

[0025] FIG. 5 is a fragmentary plan view of another embodiment in

accordance with the present invention, and FIG. 6 is a cross-sectional view taken along line B-B' of FIG. 5. The structure of this active matrix substrate is the same except for the metal film. In this embodiment, the gate line 102 is disposed to oppose a spacing between the two adjacent pixel electrodes 111 and the two metal films 103a, 103b are juxtaposed in a direction of the width of the gate line 102 between the gate line 102 and the pixel electrodes 111.

[0026] The active matrix substrate of this structure is fabricated as shown in FIG. 7. Initially, as shown in FIG. 7(a), a tantalum film of 3000 angstrom in thickness is formed on the glass substrate 101, and is patterned to provide the gate line 102 and the gate electrode 102a.

[0027] Next, as shown in FIG. 7(b), by a sputtering or plasma CVD method, for example, a SiN_x film of 3000 angstrom in thickness acting as the insulating film 104 is coated over the entire surface of the substrate, then an a-Si layer of 300 angstrom in thickness acting as the semiconductor layer 105 and a SiN_x film of 2000 angstrom in thickness acting as the insulating layer 106 are continuously coated over the entire surface of the substrate, and then the insulating film 106 is patterned by photo-etching as shown in FIG. 7(b).

Incidentally, before coating of the insulating film 104, the insulating film 104 may be formed by anodizing the gate line 102, or the insulating film 104 may be made of insulating material other than SiN_x.

[0028] Next, as shown in FIG. 7(c), by a plasma CVD method, for example, a phosphorus-doped a-Si film of 500 angstrom in thickness is coated over the entire surface of the substrate and then the a-Si film is removed from all areas except both the sides of the insulating film 106 by photo-etching to

provide the semiconductor layers 107a and 107b, and then a molybdenum layer of 3000 angstrom in thickness is coated by sputtering and is patterned by photo-etching to provide the source line 108 (see FIG. 1), the source electrode 108a and the two metal films 103a, 103b as shown in FIG. 7(c).

5 One of the metal films, 103a, act as the drain electrode 109 also.

Incidentally, the metal film 103a may be configured to be connected to a separately formed drain electrode, the phosphorus-doped a-Si film may be formed by an ion doping method. The source line 108, the source electrode 108a and the drain electrode 109 may be made of metals such as Ti and Al.

10 The two metal films 103a, 103b may be formed in a process step separate from that for the source line 108, but simultaneous formation reduces the number of process steps.

[0029] Next, an organic protective film of 1 μ m in thickness is coated over the entire surface of the above-described structure to form an insulating film 110, and then a contact hole 110a is formed in the insulating film 110 by photo-etching, and finally an ITO film of 1000 angstrom in thickness is coated on the insulating film 110 by sputtering to fill the contact hole 110a, overlies the two metal films 103a, 103b and a portion of the source line 108 and is photo-etched to provide the pixel electrode 111. The organic protective film may be formed of the same material as in the previous embodiment.

20

[0030] In the thus formed active matrix substrate of this embodiment, as shown in FIG. 6, the gate line 102 is disposed to oppose a spacing between the two adjacent pixel electrodes 111 and the two metal films 103a, 103b are juxtaposed in a direction of the width of the gate line 102 between the gate

25

line 102 and the pixel electrodes 111.

The entire areas of the metal films 103a, 103b oppose the respective pixel electrodes 111 on opposite sides of the portion opposing the gate line 102, the ends of the metal films 103a, 103b on the opposing sides of the two adjacent pixel electrodes 111 opposing the same gate line 102 are made coincident with the ends of the pixel electrodes 111 in the direction of the width of the gate line 102.

[0031] Therefore, in this embodiment, the metal films 103a, 103b are disposed such that the ends of the metal films 103a, 103b are coincident with the ends of the pixel electrodes 111, the metal films 103a, 103b cover the portions causing leakage of light, that is, they function as a light blocking film, and consequently they can prevent leakage of light and improve the display contrast ratio.

10

[0032] In the above embodiment, the semiconductor layers 107a, 107b made of phosphorus-doped a-Si are disposed between the semiconductor layer 105 made of a-Si and the source line 108 made of Mo, the drain electrode 109 (or the metal film 103a), they provide the advantage that ohmic contact is formed between them.

15

[0033] Incidentally, it is needless to say that the present invention is not limited to the active matrix substrate of the above-explained structure, but is applicable to the active matrix substrate of other structures.

20

[0034]

[Advantages of the Present Invention]

It is apparent from the above explanation that the active matrix substrate of the present invention reduces the parasitic capacitance, and can

25

improve display quality by increasing the contrast ratio. The present invention enables the structure in which the pixel electrodes and the source electrodes do not superpose each other directly, and consequently can reduce leakage current caused by defects in the insulating film, and further by

5 disposing a metal film in parallel with the scan wiring lines such that the metal film superpose the pixel electrode with the insulating film interposed therebetween, the aperture ratio can be made greater than that of the prior art structure, and the present invention does not complicate the manufacturing process and can prevent the reduction of yield rate caused by

10 increase in manufacturing steps for liquid crystal display devices.

[Brief Description of the Drawings]

[FIG. 1]

A fragmentary plan view of an embodiment of an active matrix substrate of the present invention.

15 [FIG. 2]

A cross-sectional view of a TFT portion of the active matrix substrate of

FIG.1.

[FIG. 3]

A cross-sectional view taken along line A-A' of FIG. 1.

20 [FIG. 4]

FIG. 4(a) to 4(d) are fragmentary plan views of the above embodiment for illustrating a method of fabricating the above embodiment.

[FIG. 5]

A fragmentary plan view of another embodiment of the present invention.

25 [FIG. 6]

A cross-sectional view taken along line B-B' of FIG. 5.

[FIG. 7]

FIG. 7(a) to 7(d) are fragmentary plan views of said another embodiment for illustrating a method of fabricating said another embodiment.

5 [FIG. 8]

A fragmentary plan view of a prior art active matrix substrate.

[FIG. 9]

A cross-sectional view taken along line C-C' of FIG. 8.

[FIG. 10]

10 A cross-sectional view taken along line D-D' of FIG. 8.

[Explanation of reference numerals]

101 glass substrate; 102 gate line; 102a gate electrode;

103 metal film; 103a metal film; 103b metal film;

104 insulating film; 106 insulating film; 108 source line;

15 109 drain electrode; 110 insulating film; 110a contact hole;

111 pixel electrode

FIG. 1

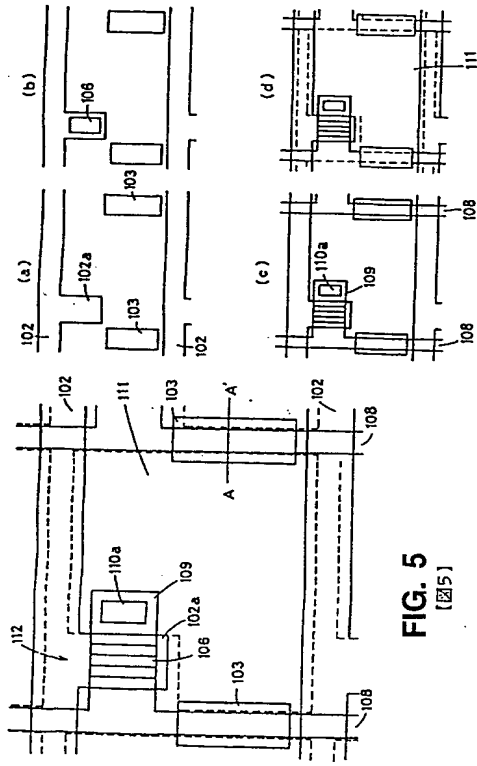


FIG. 5

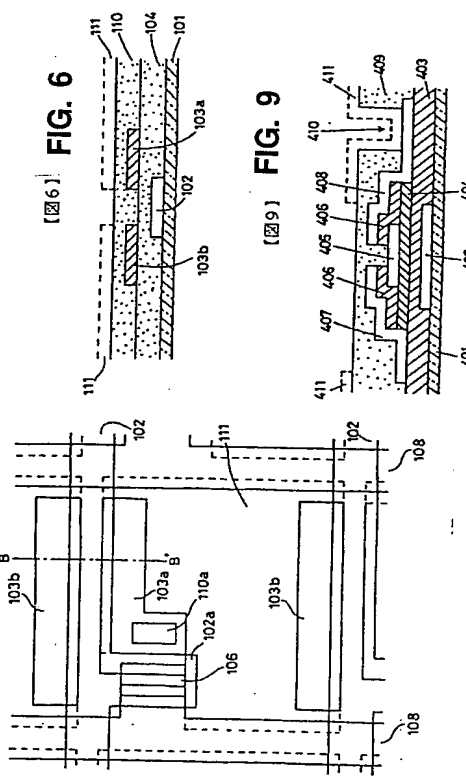


FIG. 10

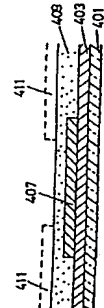


FIG. 6



FIG. 9



FIG. 7

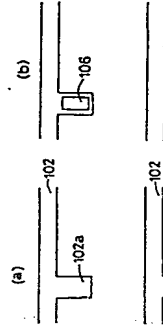


FIG. 8

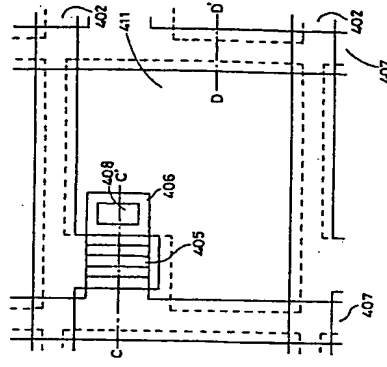


FIG. 2

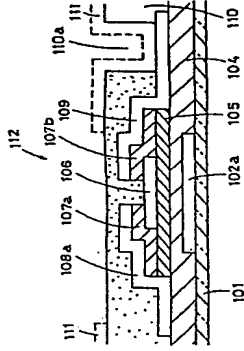


FIG. 3

